



ФОРМ

119530, Москва, Очаковское шоссе, 34
Тел: (495) 269 75 90; факс: (495) 269 75 94

Об измерении статических параметров микросхемы на этапе верификации проекта.

Часто для верификации проекта СБИС разработчики таких изделий используют тесты статических параметров, таких, например, как ток потребления. Повышенное значение тока потребления будет сигнализировать о наличии той или иной ошибки.

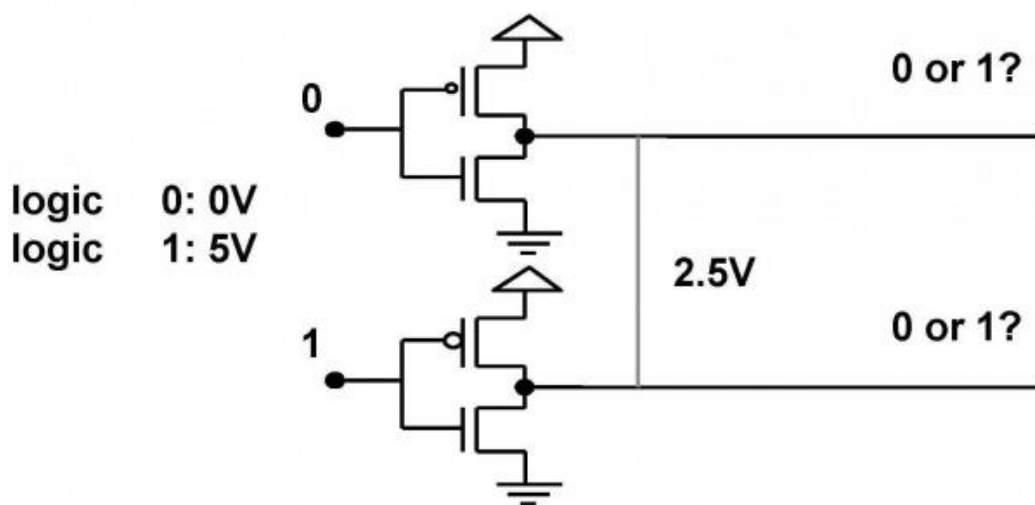
При условии выполнения определенных правил на этапе проектирования, с помощью контроля тока потребления можно эффективно определять следующие группы ошибок:

- технологические,
- проектные (разводка),
- случайные ошибки.

А именно:

- перемычки

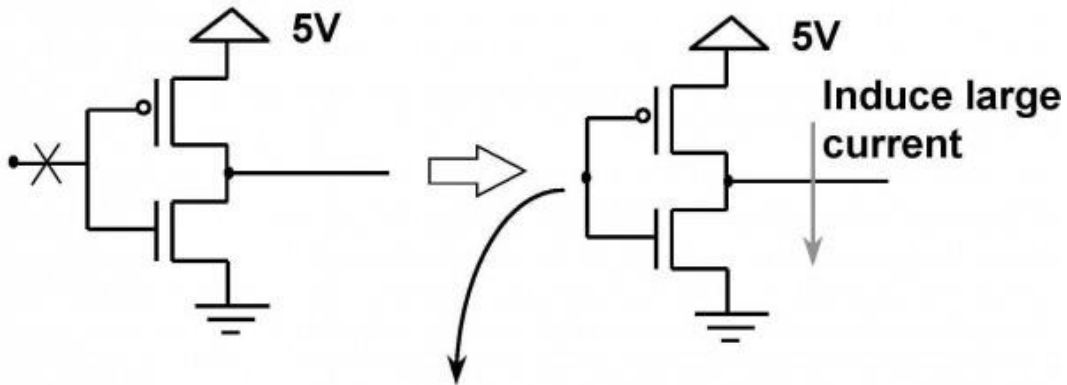
Bridging & Stuck-on Faults



→ Logic monitoring is inadequate !

- разрывы проводника

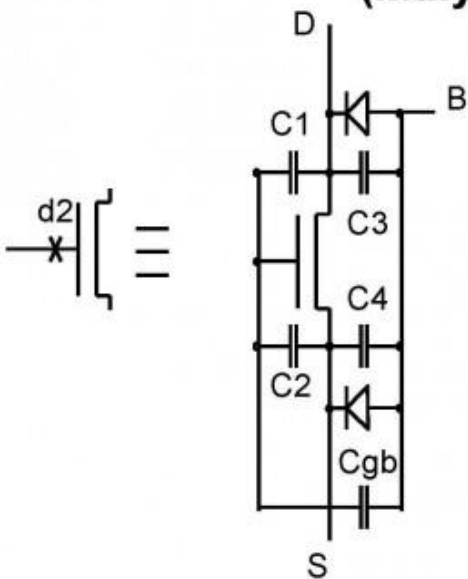
Line Break Faults



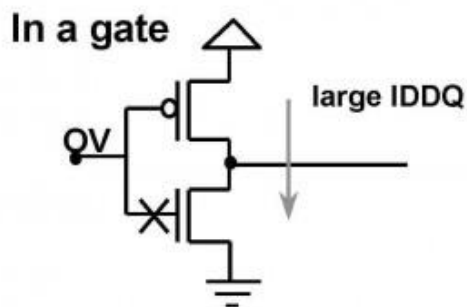
A floating node may drift to 1.5V~3.5V and hence may turn on both PMOS and NMOS transistors

- разрывы затвора

Gate Break Faults (Maly ICCAD 1988)

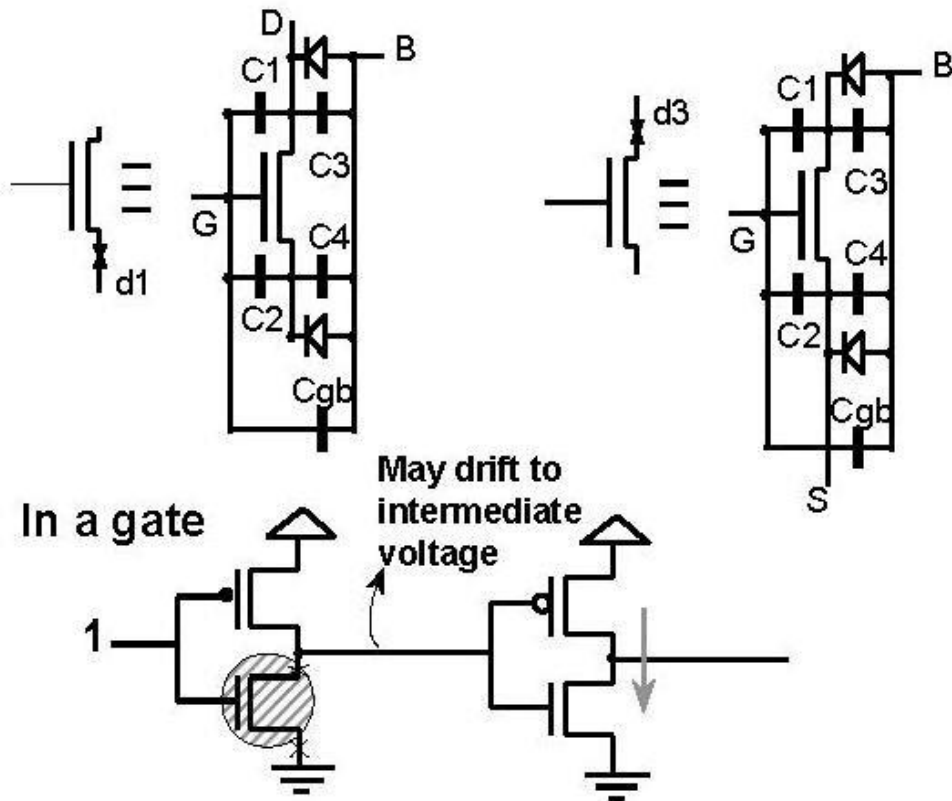


1. Off for $V_{DS} < V_{th}$
 2. Conducts a small Current for $V_{th} < V_{DS} < \alpha \cdot V_{th}$
 3. $I_{DS} \propto (V_{GS} - V_{DS})^2$ for $\alpha \cdot V_{th} < V_{DS}$
- where $\alpha = \frac{C_1 + C_2}{C_2} \sim 2$



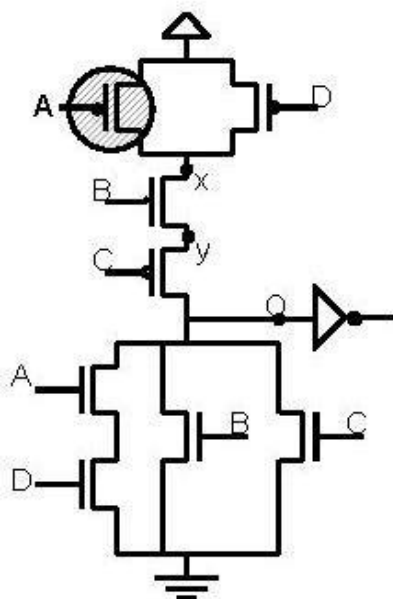
- разрывы стока и истока

Source or Drain Break Faults



- ошибки типа «постоянный уровень 0/1»

Stuck-open Faults



A B C D O

T1 = 1 1 1 1 0

T2 = 0 0 0 1 ?

When T2 is applied, charge sharing among x, y and o occurs, hence may draw a large current in the inverter.

- КЗ подзатворного окисела
- тиристорный эффект
- задержки и и пр., связанные с коротким замыканием, отсутствием изоляции и т.д.

Для того, что бы произвести верификацию проекта по результатам анализа измеренных значений тока потребления необходимо при проектировании микросхемы придерживаться минимальных правил:

A1. Узлы затвора и стока (или истока) не должны быть в одной транзисторной группе.

A2. В устойчивом состоянии не должно быть линии проводника с источника питания на землю.

A3. Каждый выход транзисторной группы должен быть соединен с источником питания или землей в устойчивом состоянии.

A4. Внутри транзисторных групп не должно быть контрольных петель.

A5. Подложка (или карман) n-(p-) типа транзистора должна быть соединена с землей (питанием).

A6. В ходе измерения каждый вывод питания должен контролироваться с помощью источника-измерителя.

После проектирования микросхемы с учетом правил A1-A6, необходимо провести моделирование проекта с заведомо включенными ошибками для того, что бы по полученным результатам при измерении тока потребления можно было сделать вывод о конкретном типе дефекта.